



1

## 【特許請求の範囲】

【請求項1】 非反転入力端子に第1の基準電圧が入力される第1の演算増幅器と、

この第1の演算増幅器の出力によりゲートが駆動され、ドレインが高レベル側電源端子に接続され、ソースが前記第1の演算増幅器の反転入力端子に帰還接続された第1のNMOSTランジスタと、

反転入力端子に前記第1の基準電圧より低い第2の基準電圧が入力される第2の演算増幅器と、

この第2の演算増幅器の出力によりゲートが駆動され、ソースが低レベル側電源端子に接続され、ドレインが前記第2の演算増幅器の非反転入力端子に帰還接続された第2のNMOSTランジスタと、

前記第1のNMOSTランジスタのソースと第2のNMOSTランジスタのドレインとの間に接続された抵抗と、

ゲート及びドレインがそれぞれ第1の信号入力端子及び信号出力端子に接続されたスイッチング用PMOSTランジスタと、

ゲート及びドレインがそれぞれ第2の信号入力端子及び前記信号出力端子に接続されたスイッチング用NMOSTランジスタと、

前記スイッチング用PMOSTランジスタと高レベル側電源端子の間に介挿接続され、ゲートが前記第1のNMOSTランジスタのゲートと共通接続されたプルアップ用NMOSTランジスタと、

前記スイッチング用NMOSTランジスタと低レベル側電源端子の間に介挿接続され、ゲートが前記第2のNMOSTランジスタと共通接続された電流源用NMOSTランジスタとを有することを特徴とする定電流駆動回路。

【請求項2】 前記第1の演算増幅器に入力される前記第1の基準電圧が前記第2の演算増幅器に入力される前記第2の基準電圧より低く設定され、かつ前記第1の演算増幅器の反転入力端子には前記第2のNMOSTランジスタのドレインが、前記第2の演算増幅器の非反転入力端子には前記第1のNMOSTランジスタのソースがそれぞれ帰還接続されるようにしたことを特徴とする請求項1記載の定電流駆動回路。

【請求項3】 非反転入力端子に第1の基準電圧が入力される第1の演算増幅器と、

この第1の演算増幅器の出力によりゲートが駆動され、ドレインが高レベル側電源端子に接続され、ソースが前記第1の演算増幅器の反転入力端子に帰還接続された第1のNMOSTランジスタと、

反転入力端子に前記第1の基準電圧より低い第2の基準電圧が入力される第2の演算増幅器と、

この第2の演算増幅器の出力によりゲートが駆動され、ソースが低レベル側電源端子に接続され、ドレインが前記第2の演算増幅器の非反転入力端子に帰還接続された

2

第2のNMOSTランジスタと、

前記第1のNMOSTランジスタのソースと第2のNMOSTランジスタのドレインとの間に接続された抵抗と、

ソース及びドレインがそれぞれ負荷の一端に接続され相補の入力信号によりゲートが選択的に駆動される第1及び第2のスイッチング用NMOSTランジスタ、ソース及びドレインがそれぞれ前記負荷の他端に接続され前記相補の入力信号によりゲートが選択的に駆動される第3及び第4のスイッチング用NMOSTランジスタ、前記第1及び第3のスイッチング用NMOSTランジスタと

高レベル側電源端子の間にそれぞれ第1及び第2のPMOSTランジスタを介して設けられて前記第1のNMOSTランジスタのゲートと共通にゲートが駆動される一対のプルアップ用NMOSTランジスタ、及び前記第2及び第4のスイッチング用NMOSTランジスタと低レベル側電源端子の間に設けられて前記第2のNMOSTランジスタのゲートと共通にゲートが駆動される一対の電流源用NMOSTランジスタを有する差動型スイッチングドライブ段と、

前記第1のNMOSTランジスタのゲートと共通にゲートが駆動されドレインが高レベル側電源端子に接続された第3のNMOSTランジスタ、前記第2のNMOSTランジスタのゲートと共通にゲートが駆動されソースが低レベル側電源端子に接続された第4のNMOSTランジスタ、及びこれら第3のNMOSTランジスタと第4のNMOSTランジスタの間にゲート・ドレインを短絡して介挿接続されてそのゲート・ドレイン端子が前記第1及び第2のPMOSTランジスタのゲートに接続された第3のPMOSTランジスタを有するバイパス回路とを有することを特徴とする定電流駆動回路。

【請求項4】 前記第1の演算増幅器に入力される前記第1の基準電圧が前記第2の演算増幅器に入力される前記第2の基準電圧より低く設定され、かつ前記第1の演算増幅器の反転入力端子には前記第2のNMOSTランジスタのドレインが、前記第2の演算増幅器の非反転入力端子には前記第1のNMOSTランジスタのソースがそれぞれ帰還接続されるようにしたことを特徴とする請求項3記載の定電流駆動回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電源変動や温度変動、プロセス変動の影響を受けることなく負荷の定電流駆動を行うことを可能とした定電流駆動回路に関する。

【0002】

【従来の技術】従来より、二つのICチップの内部回路間の信号転送のために、オフチップ・ドライバを設けることが行われる。この様なオフチップ・ドライバで電源変動や温度変動、プロセス変動の影響を受けない定電流

駆動回路として、図6に示すようなカレントミラー回路を利用したものが知られている。反転入力端子を基準電圧VREFの入力端子とした演算増幅器OPと、その出力により駆動されるPMOSTランジスタP21、及びこのPMOSTランジスタP21のドレイン端子Aに接続された抵抗Rにより、基準電流源回路が構成されている。この基準電流源回路では、端子Aの電圧が基準電圧VREFに常に等しくなるようにPMOSTランジスタP21による負帰還がかかる。従って、基準電圧VREFが電源変動や温度変動、プロセス変動の影響を受けないものであるとすれば、抵抗Rに流れる電流 $I_0 = VREF/R$ も電源変動や温度変動、プロセス変動の影響を受けない基準電流となる。

【0003】PMOSTランジスタP21とゲートが共通に駆動されるPMOSTランジスタP22及びP23は、PMOSTランジスタP21と共にカレントミラー回路を構成しており、素子寸法がPMOSTランジスタP21と同じであれば、これらに流れる電流も $I_1 = I_2 = I_0$ となる。PMOSTランジスタP22のドレインにつながる接地端子VSS側のNMOSTランジスタN21はゲート、ドレインを共通にしたダイオード接続となっており、そのゲート・ドレインが出力段のNMOSTランジスタN22のゲートに接続されている。これにより、NMOSTランジスタN21、N22の部分もカレントミラー回路となり、NMOSTランジスタN21、N22の寸法が同じであれば、NMOSTランジスタN22に流れる電流 $I_3$ は、 $I_3 = I_0$ となる。

【0004】従って、負荷につながるスイッチング用PMOSTランジスタP24及びNMOSTランジスタN23が入力信号IN1、IN2により相補的に駆動されたとき、負荷の定電流駆動が行われる。即ち、PMOSTランジスタP24がオンのとき、PMOSTランジスタP23、P24を介して電源端子VDDから定電流 $I_2 = I_0$ により負荷充電が行われ、NMOSTランジスタN23がオンのとき、NMOSTランジスタN22、N23を介して負荷の放電がやはり定電流 $I_3 = I_0$ により行われる。

【0005】ところで、図6の定電流駆動回路では、負荷を充電するとき、PMOSTランジスタP23、P24ではしきい値による電圧降下がないから、信号出力端子OUTの“H”レベル側は電源電圧VDDまでフルスイングする。しかし近年、低消費電力化のために、出力振幅を電源電圧より下げることが要求されることが多い。この様な要求に対しては一般に、電源VDD側にNMOSTランジスタを用いることが有効である。NMOSTランジスタを電源VDD側に用いれば、ゲートを電源電圧VDDで駆動したとき、ソース端子は $VDD - V_{th}$  ( $V_{th}$ はNMOSTランジスタのゲートしきい値電圧)以上には上昇できない。従って“H”レベル出力が制限されることになる。

【0006】しかしながら、図7に示すように、演算増

幅器OPの入力関係を図6と逆にし、図6の回路における電源VDD側のPMOSTランジスタP21、P22、P23をNMOSTランジスタN31、N32、N33に置き換えると、カレントミラー回路ではなくなり、定電流特性が崩れてしまう。即ち、図6の回路では、PMOSTランジスタP21、P22、P23のソースが電源VDDに接続されているから、これらのゲートを共通接続したとき、これらのゲート・ソース間電圧は常に同じになり、カレントミラー条件が満たされる。一方図7の場合、演算増幅器OPとNMOSTランジスタN31と抵抗Rにより構成される基準電流源回路では、NMOSTランジスタN31の負帰還動作により一定の基準電流 $I_0 = VREF/R$ が得られるが、NMOSTランジスタN31、N32は電源VDD側がドレインであるから、これらのゲート・ソース間電圧は連動せず、カレントミラー条件を満たさない。

【0007】仮に、ゲート・ドレインを接続したNMOSTランジスタN21を、温度やプロセスのばらつきの標準条件において、 $I_1 = VREF/R$ なる電流が流れるように設計したとしても、条件変動があったとき、NMOSTランジスタN32及びN33に流れる電流 $I_1$ 及び $I_2$ が抵抗Rに流れる基準電流 $I_0$ と一致するという保証はなくなる。出力段のVSS側のNMOSTランジスタN22についても同様である。NMOSTランジスタN21とN22の関係は図6と同様であり、 $I_1 = I_3$ の条件は満たされるものの、これらと基準電流 $I_0$ との一致はやはり保証されない。

【0008】

【発明が解決しようとする課題】以上のように従来のPMOSカレントミラー回路を利用した定電流駆動回路では、“H”レベル側出力振幅を制限することができず、またそのPMOSカレントミラー回路の部分をNMOSTランジスタに置き換えると、温度やプロセス変動の影響を受けてしまうという問題があった。

【0009】この発明は、上記事情を考慮してなされたもので、“H”レベル側振幅を制限しながら、電源、温度、プロセス等の変動の影響を受けない定電流負荷駆動を行うことを可能とした定電流駆動回路を提供することを目的としている。

【0010】

【課題を解決するための手段】この発明に係る定電流駆動回路は、第1に、非反転入力端子に第1の基準電圧が入力される第1の演算増幅器と、この第1の演算増幅器の出力によりゲートが駆動され、ドレインが高レベル側電源端子に接続され、ソースが前記第1の演算増幅器の反転入力端子に帰還接続された第1のNMOSTランジスタと、反転入力端子に前記第1の基準電圧より低い第2の基準電圧が入力される第2の演算増幅器と、この第2の演算増幅器の出力によりゲートが駆動され、ソースが低レベル側電源端子に接続され、ドレインが前記第2の演算増幅器の非反転入力端子に帰還接続された第2の

NMOSトランジスタと、前記第1のNMOSトランジスタのソースと第2のNMOSトランジスタのドレインとの間に接続された抵抗と、ゲート及びドレインがそれぞれ第1の信号入力端子及び信号出力端子に接続されたスイッチング用PMOSTランジスタと、ゲート及びドレインがそれぞれ第2の信号入力端子及び前記信号出力端子に接続されたスイッチング用NMOSTランジスタと、前記スイッチング用PMOSTランジスタと高レベル側電源端子の間に介挿接続され、ゲートが前記第1のNMOSTランジスタのゲートと共通接続されたプルアップ用NMOSTランジスタと、前記スイッチング用NMOSTランジスタと低レベル側電源端子の間に介挿接続され、ゲートが前記第2のNMOSTランジスタと共通接続された電流源用NMOSTランジスタとを有することを特徴としている。

【0011】この発明に係る定電流駆動回路は、第2に、非反転入力端子に第1の基準電圧が入力される第1の演算増幅器と、この第1の演算増幅器の出力によりゲートが駆動され、ドレインが高レベル側電源端子に接続され、ソースが前記第1の演算増幅器の反転入力端子に帰還接続された第1のNMOSTランジスタと、反転入力端子に前記第1の基準電圧より低い第2の基準電圧が入力される第2の演算増幅器と、この第2の演算増幅器の出力によりゲートが駆動され、ソースが低レベル側電源端子に接続され、ドレインが前記第2の演算増幅器の非反転入力端子に帰還接続された第2のNMOSTランジスタと、前記第1のNMOSTランジスタのソースと第2のNMOSTランジスタのドレインとの間に接続された抵抗と、ソース及びドレインがそれぞれ負荷の一端に接続され相補的な入力信号によりゲートが選択的に駆動される第1及び第2のスイッチング用NMOSTランジスタ、ソース及びドレインがそれぞれ前記負荷の他端に接続され前記相補的な入力信号によりゲートが選択的に駆動される第3及び第4のスイッチング用NMOSTランジスタ、前記第1及び第3のスイッチング用NMOSTランジスタと高レベル側電源端子の間にそれぞれ第1及び第2のPMOSTランジスタを介して設けられて前記第1のNMOSTランジスタのゲートと共通にゲートが駆動される一対のプルアップ用NMOSTランジスタ、及び前記第2及び第4のスイッチング用NMOSTランジスタと低レベル側電源端子の間に設けられて前記第2のNMOSTランジスタのゲートと共通にゲートが駆動される一対の電流源用NMOSTランジスタとを有する差動型スイッチングドライブ段と、前記第1のNMOSTランジスタのゲートと共通にゲートが駆動されドレインが高レベル側電源端子に接続された第3のNMOSTランジスタ、前記第2のNMOSTランジスタのゲートと共通にゲートが駆動されソースが低レベル側電源端子に接続された第4のNMOSTランジスタ、及びこれら第3のNMOSTランジスタと第4のNMOSTランジスタ

タの間にゲート・ドレインを短絡して介挿接続されてそのゲート・ドレイン端子が前記第1及び第2のPMOSTランジスタのゲートに接続された第3のPMOSTランジスタを有するバイアス回路とを有することを特徴とする。

【0012】なおこの発明による第1及び第2の定電流駆動回路において、第1の演算増幅器に入力される第1の基準電圧を第2の演算増幅器に入力される第2の基準電圧より低く設定して、第1の演算増幅器の反転入力端子には前記第2のNMOSTランジスタのドレインが、前記第2の演算増幅器の非反転入力端子には前記第1のNMOSTランジスタのソースがそれぞれ帰還接続されるようにしてもよい。この発明によると、第1及び第2の演算増幅器に入力される第1及び第2の基準電圧をそれぞれ、 $V_{REF1}$ 、 $V_{REF2}$ としたとき、第1及び第2の演算増幅器により駆動される第1及び第2のNMOSTランジスタの間に接続された抵抗 $R$ には、 $I_0 = |V_{REF1} - V_{REF2}| / R$ なる基準電流が得られる。第1、第2の基準電圧 $V_{REF1}$ 、 $V_{REF2}$ が電源、温度、プロセス等の変動の影響を受けないものとすれば、基準電流 $I_0$ も同様に電源、温度、プロセス等の変動の影響を受けない。なお以下の説明では、電源、温度及びプロセスの変動をまとめて外部条件変動という。

【0013】第1の定電流駆動回路においては、スイッチングドライブ段の電流源用NMOSTランジスタは第2のNMOSTランジスタと共にカレントミラー回路を構成するから、スイッチング用NMOSTランジスタがオンしたときにこの電流源用NMOSTランジスタを流れる負荷電流は、基準電流 $I_0$ に規定された定電流となり、外部条件変動の影響を受けることがない。また、第1のNMOSTランジスタとスイッチングドライブ段のプルアップ用NMOSTランジスタはゲートが共通に駆動されるから、これらの素子パラメータが同じであり、スイッチングPMOSTランジスタがオンしたときにこれらがピンチオフ領域で動作するように条件設定されれば、プルアップ用NMOSTランジスタを通して流れる負荷電流は、基準電流 $I_0$ と等しくなる。そして、スイッチングPMOSTランジスタがオンしたときの信号出力端子の“H”レベル電圧は、プルアップ用NMOSTランジスタのゲート電圧（＝第1のNMOSTランジスタのゲート電圧）を $V_G$ 、ゲートしきい値電圧を $V_{TN}$ として、 $V_G - V_{TN}$ で制限される。即ち出力振幅は、プルアップ用NMOSTランジスタの設計と基準電圧 $V_{REF1}$ の設定により、電源電圧 $V_{DD}$ より低い所定の値に設定できることになる。

【0014】差動型スイッチングドライブ段を用いた第2の定電流駆動回路においては、第1の定電流駆動回路と同様の理由で外部条件変動の影響を受けない定電流特性が得られるのみならず、差動型スイッチングドライブ段の高レベル電源側にPMOSTランジスタを挿入した

ことにより、更に負荷にかかる振幅電圧を抑えることができる。また、差動型スイッチングドライブ段の二つのPMOSTランジスタをバイアスするために第3のPMOSTランジスタを含むバイアス回路を用いることによって、負荷にかかる振幅電圧の温度、プロセス変動の影響を除くことができる。

#### 【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例による定電流駆動回路の構成を示す。基準電流源回路1は、二つの演算増幅器OP1、OP2とこれらにより駆動されるNMOSTランジスタN11、N12及び抵抗Rにより構成される。第1の演算増幅器OP1の非反転入力端子には第1の基準電圧VREF1が入力され、その出力によりゲートが駆動される第1のNMOSTランジスタN11は、ドレインが高レベル側電源端子VDDに接続され、ソース（端子A）が第1の演算増幅器OP1の反転入力端子に帰還接続されている。第2の演算増幅器OP2の反転入力端子には第1の基準電圧VREF1より低い第2の基準電圧VREF2が入力され、その出力によりゲートが駆動される第2のNMOSTランジスタN12は、ソースが低レベル側電源端子VSSに接続され、ドレイン（端子B）が第2の演算増幅器OP2の非反転入力端子に帰還接続されている。端子A、B間に抵抗Rが接続される。

【0016】この基準電流源回路1において、第1及び第2の基準電圧VREF1及びVREF2は外部条件によらず一定であるとする。このとき、端子AおよびBの電圧はそれぞれ、第1及び第2のNMOSTランジスタN11及びN12の負帰還動作により、VREF1及びVREF2となり、従って抵抗Rには、外部条件変動によらず一定の基準電流  $I_0 = (VREF1 - VREF2) / R$  が流れることになる。

【0017】このような基準電流源回路1により制御されるスイッチングドライブ段2においては、ゲート及びドレインがそれぞれ第1の信号入力端子IN1及び信号出力端子OUTに接続されたスイッチング用PMOSTランジスタP11のソースは、プルアップ用NMOSTランジスタN13を介してVDDに接続されている。NMOSTランジスタN13のゲートは第1のNMOSTランジスタN11のゲートと共通接続されている。一方、ゲート及びドレインがそれぞれ第2の信号入力端子IN2及び信号出力端子OUTに接続されたスイッチング用NMOSTランジスタN15のソースは電流源用NMOSTランジスタN14を介してVSSに接続されている。このNMOSTランジスタN14のゲートは、第2のNMOSTランジスタN12のゲートと共通接続されている。

【0018】この実施例の定電流駆動回路の動作は基本的に図6と同じである。第1、第2の信号入力端子IN1及びIN2が共に“L”のとき、スイッチング用PMOSTランジスタP11がオン、スイッチング用NMOSTランジスタN15がオフになり、負荷充電が行われる。

第1、第2の信号入力端子IN1、IN2が共に“H”のとき、スイッチング用PMOSTランジスタP11がオフ、スイッチング用NMOSTランジスタN15がオンになり、負荷放電が行われる。第1の信号入力端子IN1が“H”、第2の信号入力端子IN2が“L”のとき、スイッチング用PMOSTランジスタP11、NMOSTランジスタN15共にオフのスタンバイ状態となる。

【0019】基準電流源回路1の第2のNMOSTランジスタN12とスイッチングドライブ段2の電流源用NMOSTランジスタN14とは、ゲート・ソース間電圧が同じである。従って、これらの素子パラメータが同じであるとすれば、NMOSTランジスタN15及びN14を通して流れる放電電流I12は、抵抗Rを流れる基準電流I0と等しい。即ち、外部条件変動があっても、負荷放電電流は一定になる。一方、基準電流源回路1の第1のNMOSTランジスタN11とスイッチングドライブ段2のプルアップ用NMOSTランジスタN13とは、ゲート・ソース間電圧が必ずしも同じにならない。しかしながら、これらの素子パラメータが同じであり、かつ負荷条件に応じて第3のNMOSTランジスタN13がピンチオフ領域で動作するように、ゲートしきい値電圧やバイアス条件を設定すれば、NMOSTランジスタN13及びPMOSTランジスタP11を通して流れる負荷充電電流I11は、負荷変動や電源変動の影響を受けることなく、基準電流I0とほぼ等しくなる。

【0020】上述のように、負荷充電電流I11は負荷条件の影響を受けるが、図7の回路と比較すると、負荷放電電流I12は負荷条件の影響を受けず、また外部条件変動の影響を受けない基準電流I0に一致するから、定電流特性は優れたものとなる。そして、負荷充電電流I11が流れて出力端子OUTが“H”になるとき、その“H”レベル電圧は、NMOSTランジスタN13のゲートしきい値電圧をVTN、ゲート電圧をVGとして、VG - VTNとなる。即ち、電源VDDより低い値に振幅制限される。また、第1のNMOSTランジスタN11に対するプルアップ用NMOSTランジスタN13のサイズ比（チャネル幅Wとチャネル長Lの比）W/Lをnとし、同様に第2のNMOSTランジスタN12に対する電流源用NMOSTランジスタN14のW/L比をnとすれば、充放電電流は、 $I_{11} = I_{12} = n \times I_0$ となる。

【0021】図2は、図1における基準電流源回路1の接続関係を変更した実施例である。この実施例の場合、第1の演算増幅器OP1側の第1の基準電圧VREF1を第2の演算増幅器OP2側の第2の基準電圧VREF2より低く設定しており、この場合には、第1の演算増幅器OP1の反転入力端子には第2のNMOSTランジスタN12のドレイン、即ち端子Bを帰還接続し、第2の演算増幅器OP2の非反転入力端子には第1のNMOSTランジスタのソース、即ち端子Aを帰還接続する。このようなスキがけの帰還接続を行うことにより、抵抗Rでは、I

$0 = (V_{REF2} - V_{REF1}) / R$ なる一定の基準電流が得られる。その他は先の実施例と同様であり、この実施例によっても先の実施例と同様の効果が得られる。

【0022】図3は、この発明を差動型スイッチングドライブ段をもつ定電流駆動回路に適用した実施例である。基準電流源回路1の構成は、図1の実施例と変わらない。この基準電流源回路1により制御される差動型スイッチングドライブ段4は、ソース及びドレインがそれぞれ負荷RLの一方の端子Cに接続され相補的信号入力端子IN1、IN2によりゲートが選択的に駆動される第1及び第2のスイッチング用NMOSトランジスタN52、N53と、ソース及びドレインがそれぞれ負荷RLの他方の端子Dに接続され相補的信号入力端子IN2、IN1によりゲートが選択的に駆動される第3及び第4のスイッチング用NMOSトランジスタN56、N57とを有する。

【0023】第1及び第3のスイッチング用NMOSトランジスタN52及びN56とVDD端子の間にはそれぞれ、第1及び第2のPMOSトランジスタP42及びP43を介して、基準電流源回路1の第1のNMOSトランジスタN11のゲートと共通にゲートが駆動される一対のプルアップ用NMOSトランジスタN51及びN55が設けられている。また第2及び第4のスイッチング用NMOSトランジスタN53及びN57とVSS端子の間には、基準電流源回路1の第2のNMOSトランジスタN12のゲートと共通にゲートが駆動される一対の電流源用NMOSトランジスタN54及びN58を有する。

【0024】差動型スイッチングドライブ段4のVDD側に挿入したPMOSトランジスタP42、P43に所定のバイアスを与えるために、バイアス回路3が設けられている。このバイアス回路3は、第1のNMOSトランジスタN11のゲートと共通にゲートが駆動されドレインがVDD端子に接続された第3のNMOSトランジスタN41と、第2のNMOSトランジスタN12のゲートと共通にゲートが駆動されソースがVSS端子に接続された第4のNMOSトランジスタN42と、これらのNMOSトランジスタN41、N42の間にゲート・ドレインを短絡した飽和結線（ダイオード接続）をもって介挿された第3のPMOSトランジスタP41とにより構成されている。PMOSトランジスタP41のゲート・ドレイン端子が差動スイッチングドライブ段4のPMOSトランジスタP42、P43のゲートに接続される。

【0025】この実施例の回路において、相補入力端子IN1、IN2がそれぞれ、“H”、“L”のとき、スイッチング用NMOSトランジスタN52とN57がオン、スイッチング用NMOSトランジスタN53とN56がオフになり、負荷RLには実線で示すように電流I23が供給される。相補入力端子IN1、IN2が逆になると、負荷RLには破線で示すように電流I22が供給される。図4は、このときの信号入力波形と、端子C、Dの電圧V

C、VD、及びこれらの差電圧VCDの波形を示す。

【0026】この実施例においては、VSS側のNMOSトランジスタN12、N42、N54及び、N58は、ゲートが共通接続されてカレントミラー回路を構成しているから、これらの素子寸法を同じとすれば、バイアス回路3に流れる電流I21、及び差動スイッチングドライブ段4により負荷RLに流れる電流I22、I23は全て、基準電流I0と一致する定電流となる。即ち、負荷電流は、外部条件変動の影響を受けない。

【0027】次に、図4に示す、負荷RLの端子C、Dに得られる“H”レベル電圧VHについては、プルアップ用PMOSトランジスタN51、N55による電圧降下と、PMOSトランジスタP42、P43による電圧降下の分だけ、VDDより低いものとなる。それぞれ定電流I23、I22が流れたときのPMOSトランジスタP42、P43による電圧降下は、バイアス回路3の飽和結線されたPMOSトランジスタP41の電圧降下により決まる。これらのPMOSトランジスタP42、P43、P41が同じ素子パラメータをもって形成されて、そのバックバイアス効果を含めたしきい値電圧がVTPであるとする、あるレベル以上の電流でこれらのPMOSトランジスタP42、P43、P41での電圧降下分は、ほぼ|VTP|である。

【0028】一方、プルアップ用NMOSトランジスタN51、N55は、NMOSトランジスタN11と共にゲートが共通駆動される。基準電圧VREF1がVDDに近い値であるとすれば、これらのゲート電圧はVG=VDDとなるから、NMOSトランジスタN11、N41、N51、N55が同じ素子パラメータをもって形成されて、そのバックバイアス効果を含むしきい値電圧がVTNであるとする、あるレベル以上の定電流I23、I22が流れたときのプルアップ用NMOSトランジスタN51、N55での電圧降下は、ほぼVTNである。従って、“H”レベル電圧VHは、 $VDD - V_{TN} - |V_{TP}|$ となる。

【0029】以上のようにこの実施例の回路では、“H”レベル電圧VH、従って負荷にかかる差電圧VCDの振幅をより抑えた状態で負荷の定電流駆動が行われる。また、“H”レベル電圧VHは上の式から明らかのように電源変動の影響を受けるが、温度変動及びプロセス変動に対しては、NMOSトランジスタのしきい値VTNとPMOSトランジスタのしきい値|VTP|が逆方向に変動することから、その変動分が相殺されて、ほぼ一定値を保つことができる。

【0030】なおこの実施例の回路においても、基準電流源回路1のNMOSトランジスタN12に対して、差動スイッチングドライブ段4の電流源NMOSトランジスタN54、N58の寸法比を選ぶことにより、負荷RLに供給する電流I22、I23の基準電流I0に対する比を適宜設定することができる。但し、バイアス回路3のVSS側NMOSトランジスタN42と差動スイッチングドライブ

11

段4のVSS側NMOSTランジスタN54、N58とは同じ寸法であること、同様に、バイアス回路3のVDD側NMOSTランジスタN41と差動スイッチングドライブ段4のVDD側NMOSTランジスタN51、N55とは同じ寸法であること、更にPMOSTランジスタP41、P42、P43が同じ寸法であることが好ましい。

【0031】図5は、図3の実施例において、第1の基準電圧VREF1を第2の基準電圧VREF2より低く設定した場合に、基準電流源回路1の接続関係を、図2の実施例と同様のタスキ掛け接続に変更した実施例である。この実施例によっても、図3の実施例と同様の効果が得られる。

【0032】

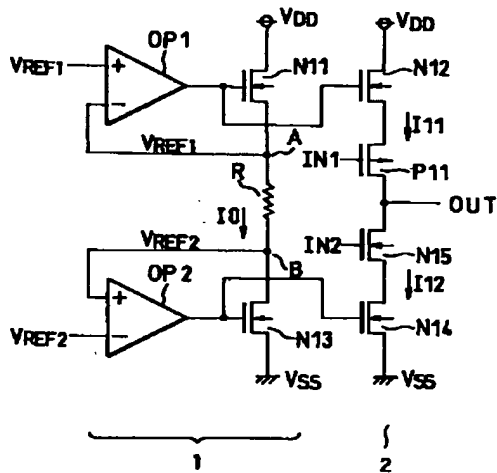
【発明の効果】以上述べたようにこの発明によれば、プルアップ用トランジスタとしてNMOSTランジスタを用いて、“H”レベル出力振幅を制限しながら、電源、温度、プロセス等の変動の影響を受けない定電流負荷駆動を行うことを可能とした定電流駆動回路を得ることができる。

【図面の簡単な説明】

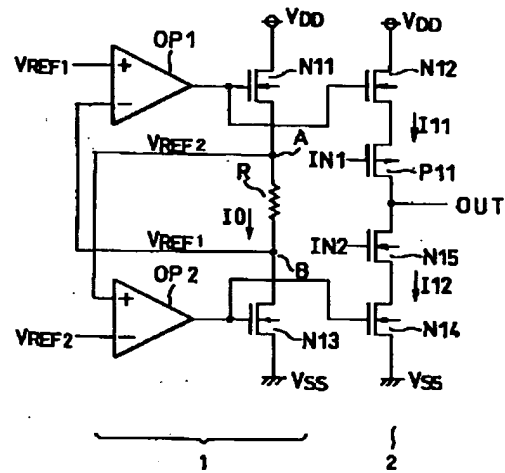
【図1】 この発明の一実施例による定電流駆動回路を示す。

【図2】 図1の接続関係を変形した実施例の定電流駆動回路を示す。

【図1】



【図2】



【図3】 この発明の他の実施例による定電流駆動回路を示す。

【図4】 図3の定電流駆動回路の動作電圧波形を示す。

【図5】 図3の接続関係を変形した実施例の定電流駆動回路を示す。

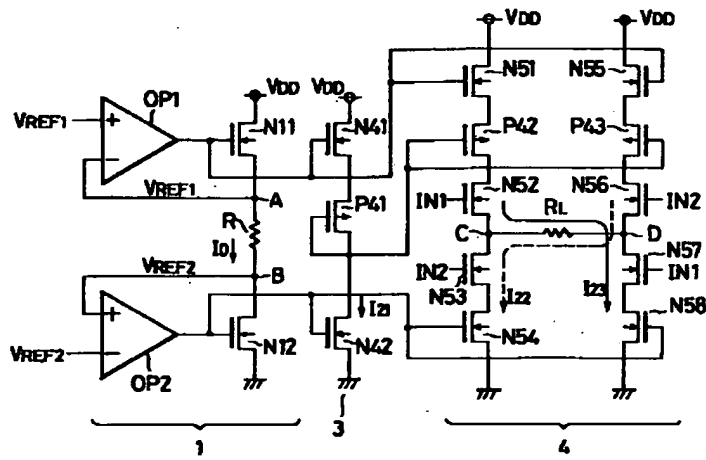
【図6】 従来の定電流駆動回路を示す。

【図7】 図6の回路を変形した定電流駆動回路を示す。

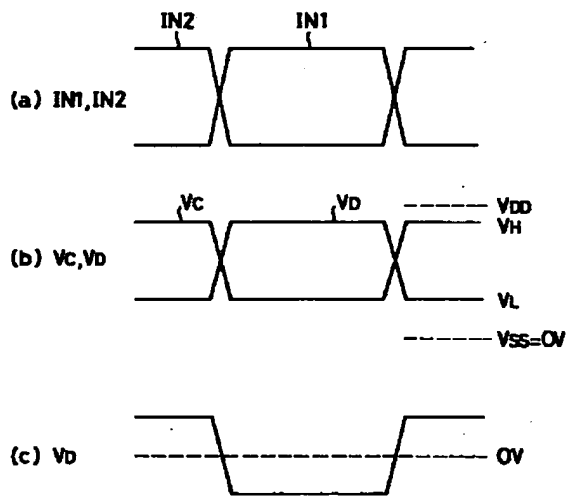
#### 10 【符号の説明】

1…基準電流源回路、2…スイッチングドライブ段、3…バイアス回路、4…差動型スイッチングドライブ段、OP1…第1の演算増幅器、OP2…第2の演算増幅器、N11…第1のNMOSTランジスタ、N12…第2のNMOSTランジスタ、R…抵抗、P11…スイッチング用PMOSTランジスタ、N15…スイッチング用NMOSTランジスタ、N52、N53、N54、N55…第1～第4のスイッチングNMOSTランジスタ、P42、P43…第1、第2のPMOSTランジスタ、P41…第3のPMOSTランジスタ、N13、N51、N55…プルアップ用NMOSTランジスタ、N14、N54、N58…電流源用NMOSTランジスタ、IN1…第1の信号入力端子、IN2…第2の信号入力端子、OUT…信号出力端子、VREF1…第1の基準電圧、VREF2…第2の基準電圧。

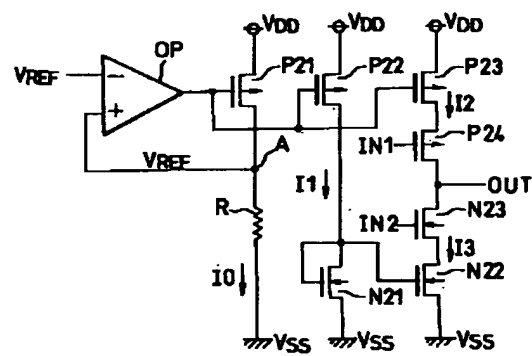
【図3】



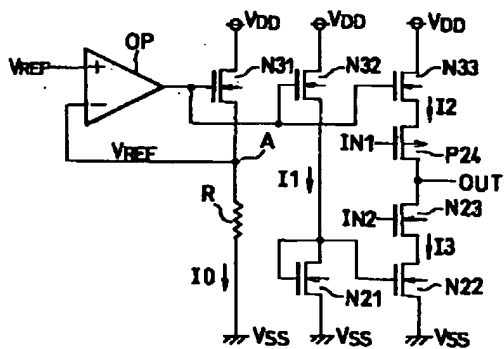
【図4】



【図6】



【図7】





【図5】

